

序号	不良现象	问题状态	不良原因与对策
1	效率低	无法达到能效要求	1、如果客户为了解决EMI 在MOS管DS极并联的电容过大。建议电容使用在68PF以内。 2、RCD吸收过重。在不超过MOS的最大峰值电压的情况下建议吸收电阻使用100-200K Ω 左右，电容使用在1nF-10nF左右。 3、MOSFET驱动电阻过大，导致上升时间太长。兼顾EMI的前提下，SSR系统建议上升时间设计为200nS左右。 4、肖特基二极管的正向导通压降太大。建议使用低压降的肖特基或够用的情况下尽量选择低耐压的二极管。 5、滤波电感线径过小，加大电感的线径。建议电流密度做到6A/mm ² 。 6、变压器线径选择不合理，铜损过大。考虑趋肤效应的前提下”增加线径，减小铜损，或者使用多股线径并绕，建议电流密度做到6A/mm ² 。 7、假负载过重。不影响环路的情况下加大假负载电阻阻值。 8、频率设置太高。保证磁芯有余量的前提下PSR系统可以增加电感量，SSR系统可以减小调频电阻降低频率，建议变压器填充系数在0.85左右。 9、MOS管Rdson 大。使用低Rdson的MOS管或Cool MOS。 10、变压器匝比小，次级肖特基压降大。不饱和的情况下可以增加匝比，控制Dmax 在0.45以内。 11、磁芯截面积小，线圈铜损大。建议使用大一号的变压器设计。 12、赛威PSR IC SF6791 只能做输出USB 六级能效。 13、赛威PSR IC SF6771, SF6772, SF6776, SF6778可以做到输出带线1.5米过六级能效。（线号根据输出电流大小来定） 14、赛威SSR IC SF57XX, SF58XX 系列可以做到输出带线1.5米过六级能效。（线号根据输出电流大小来定）
2	待机功耗大	无法达到待机要求	1、启动电阻阻值过小。考虑启动时间的情况下一般取值在3~4M 左右。 2、假负载过重。不影响环路的情况下加大假负载电阻阻值。 3、肖特基二极管的正向导通压降太大。建议使用低压降的肖特基或够用的情况下尽量选择低耐压的二极管。 4、X电容放电电阻阻值小。符合安规的情况下加大电阻。 5、RCD吸收过重。建议重新调整RCD吸收电路。 6、SSR 系统在不破坏系统的情况下，输出电压采样电阻同比例加大。
3	输出纹波大	输出电压纹波大无法达到要求	1、开关纹波大：次级电容容量小。增大电容容量，使用Low ESR 的电解电容或者是固态。 2、开关纹波大：滤波电路不够，增加π型滤波电路。 3、开关纹波大：检查PCB LAYOUT。输出滤波回路是否先进输出电解电容然后再输出的顺序走线。 4、高频纹波噪声大：检查电磁干扰源是否过大，示波器带宽限制20MHz，在示波器探头输入端接一个10uF的电解和并联一个100nF的瓷片电容。 5、工频纹波大：初级高压电解电容容量过小，波谷低于系统设计电压，造成工频纹波大。加大高压电解电容容量。 6、对于SS纹波大，可能是电压环路调整不稳定。建议调整431的R脚与K脚之间R的阻值为1K Ω ,C的容量为100nF。 7、工频纹波大，加快反馈环路。 8、系统环路不稳。调整环路参数。（非开关纹波和工频纹波）。
4	满载不启动	满载开机失败或者一次启动不成功	1、Vcc电压设置过低，IC欠压保护。增加Vcc圈数提高Vcc电压或者减小Vcc限流电阻，或者Vcc整流二极管使用较快速低VF的二极管。 2、Vcc供电电容过小。增加电容的容量。 3、次级容性负载过大，导致OLP。在纹波电压小于要求的情况下减小次级滤波电解电容容量。 4、OCP点设置过小。推荐OCP点在额定输出电流的1.1-1.2倍左右。 5、Vcc电压设置过高，导致触发OVP保护。减少反馈线圈降低Vcc电压或者增大Vcc限流电阻，或者使用普通的整流二极管。 6、变压器严重饱和。PSR系统可以降低感量或增加圈数。SSR系统可以减小调频电阻增加频率，降低电感量或增加圈数。
5	短路不保护	输入功率大，或者输出有电流	1、Vcc电压设置过高。减少反馈线圈降低Vcc电压，增大Vcc限流电阻，或者Vcc整流二极管使用普通的整流二极管。 2、SSR系统IC的FB脚被钳位。取消FB脚的钳位二极管。 3、启动电阻阻值太小。在不影响启动时间的情况下加大电阻阻值。 4、变压器漏感过大造成Vcc 重启，调整变压器绕法减小漏感。
6	无输出	输出电压很低，或者完全无输出	1、Vcc电压设置过高，导致触发IC OVP保护。减少反馈线圈降低Vcc电压。（建议满载设计电压为15V左右） 2、Vcc电压设置过低，欠压保护。增加Vcc圈数提高Vcc电压或者减小Vcc限流电阻，或者使用较快速低VF的二极管。 3、VDD静电损伤（VDD对地漏电/短路）。检查原因更换IC。 4、输出回路短路。检查次级元器件或PCB走线是否短路。 5、SSR系统次级电感感量过大，导致回路不正常。减小电感感量。 6、PCB走线或相关电性连接脚位开路，检查走线是否畅通及相关电性连接元件是否有漏焊。

7	输出电压不稳	输出电压跳动	<ol style="list-style-type: none"> 1、空载启动时VCC供电建立慢，建议Vcc整流二极管使用反向恢复速度较快的二极管。 2、Vcc电压设置过低。增加Vcc匝数提高Vcc电压或者减小Vcc限流电阻，或者使用较快速度低的二极管。 3、假负载过轻。在满足待机功耗的情况下，减小假负载电阻阻值。 4、辅助绕组反向，导致FB检测异常。更正反馈绕组。 5、FB脚损伤，CV特性失效。检查原因更换IC。 6、CS脚毛刺过大。CS脚需加RC网络，一般建议加电阻510Ω和电容220PF。 7、若空载输出纹波大，检查是否因进入深度burst mode。可以减小次级光耦供电电阻。 8、次级电感感量过大，导致回路不正常。减小电感感量。 9、SSR系统反馈环路开环。需要检查环路。
8	输出电流不稳	输出电流不稳或高低压相差大	<ol style="list-style-type: none"> 1、CS脚干扰过大。CS脚需加RC网络，一般建议加电阻510Ω和电容220PF。 2、输入高压电解电容使用得偏小，导致波谷低于系统设计电压。需要增加高压电解电容的容量。 3、变压器的匝比设计太大。在效率满足要求的情况下可以通过减少次级匝数减小匝比。 4、在系统不饱和的情况下可以通过调整电感量实现高低压电流平衡。
9	传导超标	超出EMI标准限值	<ol style="list-style-type: none"> 1、在峰值电压有足够余量的情况下调整RCD吸收电路，加大吸收电容或者减小吸收电阻。 2、频率设计过高。在Bmax有余量的情况下降低系统工作频率。 3、变压器磁芯接地。 4、调整变压器的绕线顺序，尽量较小层间的结电容。 5、PCB的layout L,N走线离变压器太近。调整L,N环路走线远离变压器磁芯。 6、0.15MHz~1MHz 输入差模电感感量较小或X电容较小。加多电感匝数增加电感量以及增大X电容容值。 7、输入共模电感感量小或Y电容小。加多电感匝数增加电感量以及增大Y电容容值。 8、对与PSR系统，建议RCD吸收回路在layout时远离AC输入端，对0.5M左右的EMI有益处。
10	辐射超标	超出EMI标准限值	<ol style="list-style-type: none"> 1、MOS管驱动速度过快。在驱动足够余量的情况下加大电阻减缓驱动时间。 2、RCD吸收速度快。在MOS管峰值电压有余量的情况下可以减缓RCD吸收二极管速度，使用普通整流二极管。 3、输出肖特基二极管没加吸收。增加吸收电路，或者减小吸收电阻，加大吸收电容。 4、在MOS管温度允许的条件下MOS的Drain与Source之间可以并联一只容值47pF以内的高压电容。 5、成本允许的情况下变压器磁芯周围可以包铜箔屏蔽接地。 6、调整变压器绕制顺序。 7、如果在30~100MHZ超标。一般是MOSFET干扰和变压器结构引起。建议MOS管加磁珠和变压器加屏蔽接地或者修改PCB LAYOUT走线。 8、50MHZ以上超标。调整输出二极管吸收电路加大电容或减小电阻，在成本允许的条件下输出端可增加一个共模，或者输出线套磁珠。
11	温升高	无法满足安规要求	<ol style="list-style-type: none"> 1、磁芯温度高。确认变压器是否饱和，如果饱和，PSR系统可减小电感量或者增加初级匝数，SSR系统可以减小电感量，增加初级匝数或减小调频电阻提高频率。 2、磁芯温度高。功率器件及发热大的元件远离变压器。 3、线圈温度高。线径选择不合理，建议电流密度做到6A/mm²。 4、磁芯温度高。变压器Ae值小，磁损过大。建议使用Ae值大一号的变压器。 5、磁芯温度高。PSR系统可减小感量提高系统工作频率或者增加匝数减少Bmax。 6、MOS管温度高。建议使用低Rdson的MOS或Cool MOS。 7、集成MOS的IC温度高。建议在IC表面增加散热片（如超出IC应用的最大功率请更换同系列功率大一号的IC），或增大匝比减小初级的峰值电流来降低芯片温升。 8、肖特基二极管温度高。建议使用低导通压降的肖特基二极管，增大PCB layout的散热面积，或改用其他散热好的封装。 9、三极管温度高。建议使用更大一号电流规格的三极管或增加散热片。
12	炸机	Mos管，IC，保险丝等元器件炸坏	<ol style="list-style-type: none"> 1、高温变压器饱和。PSR系统可减小感量或者增加初级匝数，SSR系统可以减小感量，增加初级匝数或减小调频电阻提高频率。 2、Vds电压超过限值。在不影响效率的情况下可加大吸收电容或减小吸收电阻，或者减小匝比。 3、MOS管温度过高。使用低Rdson的MOS管或加散热片。 4、MOS管D与S极间打火或漏电。修改PCB Layout增加安规距离。 5、MOS管驱动过慢。减小MOS管驱动电阻阻值或者使用结电容小一点的MOS或看是否是IC的驱动能力不足，需要重新选择方案或加图腾柱。 6、PCB高压走线跟IC信号走线太近。修改PCB Layout增加爬电距离。 7、集成MOS管的IC表面温度超出规格书规定的结温。建议在IC表面增加散热片或者降低MOS管的峰值电流。（如超出IC应用的最大功率请更换同系列功率大一号的IC） 8、变压器漏感过大，在不影响EMI的情况下调整变压器的绕法或调整RCD吸收电路。 9、FB脚波形震荡严重，容易误触发炸机。FB下偏电阻需要并联47pF-100pF电容。

13	PF值低，ATHD大	PF值小于0.9, ATHD 大于10%	<ol style="list-style-type: none"> 1、X电容偏大。在EMI不超标的情况下减小X电容量。 2、CBB电容偏大。在EMI不超标的情况下减小CBB电容量。 3、芯片积分电容小。在不影响环路的情况加大芯片积分电容，最大不超过1uF。 4、IC的环路补偿带宽窄，造成电流跟踪不及时。调整补偿环路。 5、通过调整分压电阻至IC Mu1t 脚电压为0.5-3V 之间。 6、变压器磁芯饱和。可以减小感量，增加初级圈数或提高频率。 7、系统工作频率过高。在磁芯不饱和的情况下调大变压器感量或增加初次级圈数减小工作频率。 8、变压器反射电压不合理。建议变压器反射电压设计在90-110V 左右。 9、CS脚毛刺过大。增加RC吸收电路吸收毛刺。
14	异音	轻载或满载有声音	<ol style="list-style-type: none"> 1、变压器没有浸油，或者没有浸好。变压器重新浸油，保证均匀。 2、环路补偿参数不合理。经验取值为电容100nF和电阻1KΩ。 3、如果RCD吸收电容使用的是插件封装，可以更换为涤纶电容。 4、光耦反馈环路电流太大。在不破坏环路稳定的情况下加大光耦反馈供电电阻。 5、PCB Layout时信号走线和功率走线尽量分开，避免相互干扰。 6、轻载系统工作频率低于22KHz。调整反馈环路使工作频率大于22K。 7、对于PSR系统，建议VDD供电电容采用插件的封装，对异音有好处。
15	静电不通过	不满足静电标准	<ol style="list-style-type: none"> 1、PCB Layout 走线IC的GND与变压器的GND线尽量不要串联在一起。最好并联接到高压电解电容的地。 2、Vcc整流二极管前面尽量串联一个3~10Ω左右的电阻。 3、PCB Layout初次级之间加放电针放电回路。 4、PCB Layout初次级之间要有走足够的安规距离。（具体请参照安规要求） 5、变压器绕组层与层之间要绝缘好，不能有铜线破损漏电现象。 6、IC 的地线加放电回路。 7、PCB Layout时共模电感同一绕组之间增加放电电阻以便静电形成放电回路。
16	高压不良	不满足安规标准	<ol style="list-style-type: none"> 1、变压器初次级之间没有绝缘好或铜线绝缘层破损。 2、变压器漏电导致IC Vcc击穿。变压器做好绝缘措施。 3、Y电容漏电流大。检查原因更换Y电容。 4、光耦初次级击穿或耐压不足。检查原因更换光耦。
17	老化不良	老化后产品无输出	<ol style="list-style-type: none"> 1、变压器饱和和炸机导致无输出。PSR系统可减小感量或者增加初级圈数，SSR系统可以减小感量，增加初级圈数或减小调频电阻提高频率退出饱和。 2、变压器的温度高。调整变压器圈数或磁芯不饱和的情况下增加电感量降低温升。 3、MOS管温度高，导致其损坏。建议使用低Rdson的MOS，Cool MOS或增大散热面积。 4、三极管温度高，导致其损坏。建议使用更大一号电流规格的三极管或增加散热片。
18	生产直通率低	生产不良高	<ol style="list-style-type: none"> 1、仪器漏电致IC损坏：仪器设备未接地导致漏电使IC 损坏。仪器设备做好接地设施，确认无漏电现象。 2、ESD致IC损坏：生产线工作台需要用绝缘皮和作业员需戴防静电手环接地。 3、MOS管，肖特基等关键元器件击穿。分析原因并更换器件。 4、变压器绕线工艺差，变压器线圈有开路或短路现象。在不影响安规和电性的情况下改善绕线工艺。 5、变压器饱和。PSR系统可减小感量或者增加初级圈数，SSR系统可以减小感量，增加初级圈数或减小调频电阻提高频率。 6、工艺不良导致，系统关键点有连锡或者有锡珠残留，导致上电系统高低压引脚打火失效，需增强生产工艺，提高品质意识。