



Be The

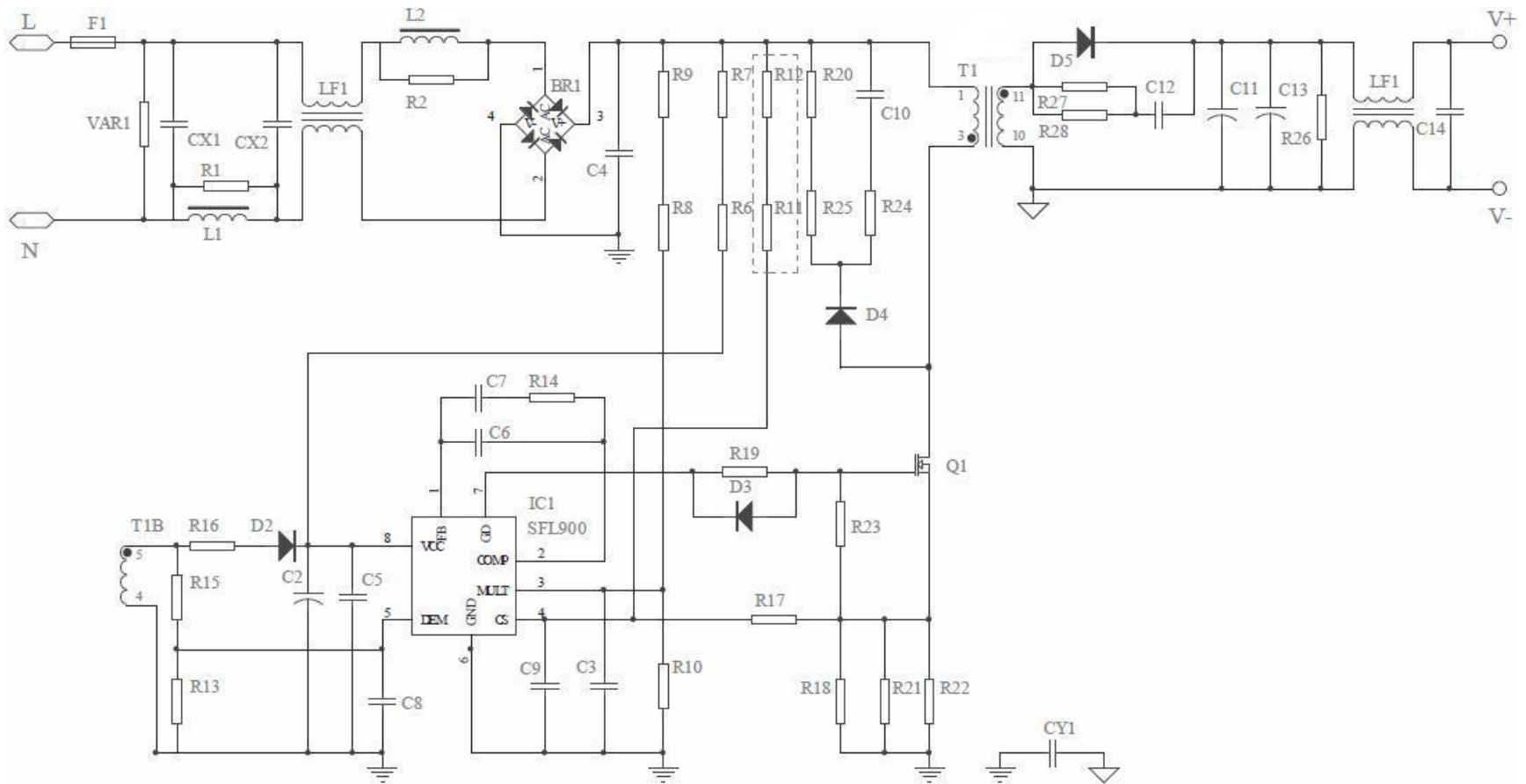
SFL9XX系列设计指南

2015.09 V1.3

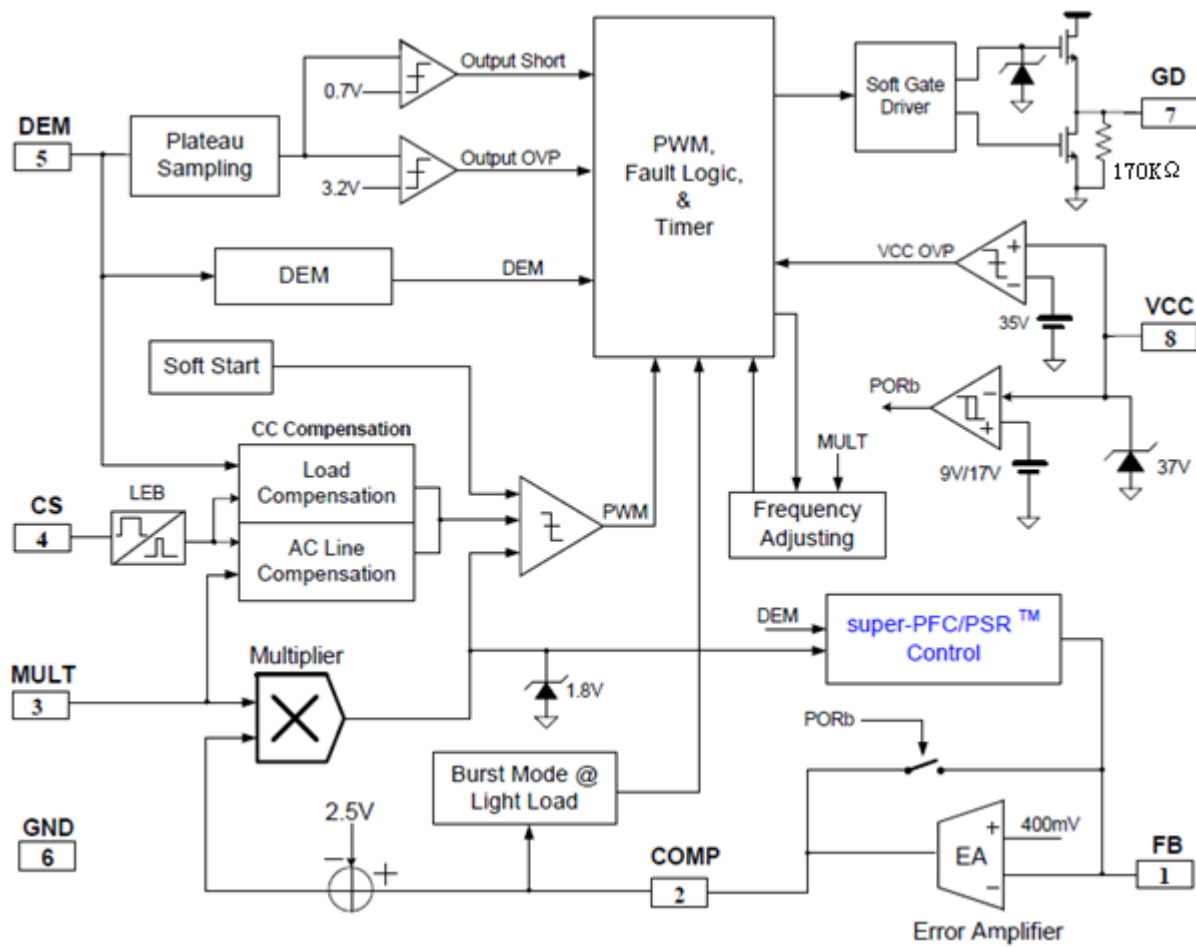
SFL9XX系列产品使用规格及差异说明

芯片型号	封装	驱动方式	HV启动	过温保护	开路保护	全电压输出功率	应用领域
SFL900B	SOP8	外置			√	≤60W	LED照明
SFL950	SOT23-6	外置		√	√	≤36W	
SFL960	SOT23-6	外置		√	√	≤100W	
SFL980	SOP8	外置	√	√	√	≤60W	

典型应用电路图



芯片内部功能模块



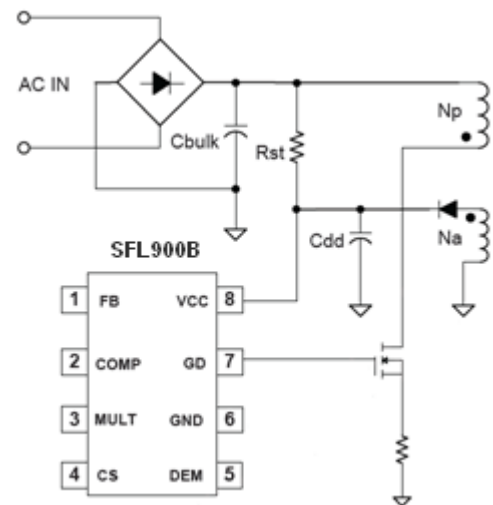
SFL900B内部功能模块图

IC外围应用设计

1 VCC脚设计

VCC脚是IC供电脚，在设计时要注意以下几点：

- ◆ Rst为启动之前给Cdd充电电阻，取值越小，启动延迟时间越短；阻值建议取1M到2M，阻值过小会增加损耗
- ◆ Cdd为VCC电容，它起到滤波和储能两个作用。一般取10uF ~ 47uF即可，取值越大，启动时间越长；取值不能过小，否则启动易发生UVLO保护
- ◆ 当VCC电压达到 $UVLO_{(ON)}$ 时，系统开始工作；当VCC电压下降到 $UVLO_{(OFF)}$ 时，系统停止工作；VCC电压达到过压保护点VCC_OVP时，芯片立即关闭输出，芯片内部VCC最高电压钳位为VCC_Clamp。以SFL900B为例， $UVLO_{(ON)}$ 为17V， $UVLO_{(OFF)}$ 为9V，VCC_OVP为35V，VCC_Clamp为37V。满载工作时，建议把VCC电压设定在16V左右
- ◆ 芯片启动后，VCC由变压器辅助绕组供电，系统损耗小，可实现较宽的输出电压变化范围



IC外围应用设计

2 FB (仅限SFL900B) 脚设计

FB脚是误差放大器输入脚，在设计时要注意以下几点：

- ◆ FB脚为芯片内部基准运放输入端，内部基准稳定在400mV
- ◆ FB脚通过跨接一个电容到此运放的输出端，用来稳定环路保证输出电流恒定

3 COMP脚设计

COMP脚为误差放大器输出端，在设计时要注意以下几点：

- ◆ COMP脚为内部误差放大器输出端，通过外接电容器到FB脚作补偿
- ◆ 电容值一般可取470nF~2.2uF，电容越大系统功率因数（PF）越高、动态响应越慢

IC外围应用设计

4

GATE脚设计

GATE脚为IC驱动输出脚，在设计时要注意以下几点：

- ◆ IC内置带有软驱动来减弱功率MOS的开启应力，使得电源系统具有良好的EMI特性。IC内部GATE钳位电压为16V，防止对外部功率MOS产生破坏
- ◆ 为了获得更好的EMI，建议MOS的栅级与IC驱动输出脚加个几十到一百欧姆的电阻

IC外围应用设计

5 CS脚设计

CS脚为峰值电流采样脚，在设计时要注意以下几点：

- ◆ 芯片对CS脚进行峰值电流采样并保持，用于闭环控制输出LED恒流，典型输出电流 I_o 计算公式如下：

$$I_o = \frac{0.2}{R_{cs}} * n$$

n 为变压器初级和次级的匝数比， R_{cs} 为原边电流采样电阻

- ◆ 若输出电流值已经确定，同样可以根据上述公式求出需要的采样电阻值(R_{cs})
- ◆ 为防止MOS开启时振铃能量对CS采样的影响，建议CS脚串联1个100R~1K电阻接 R_{cs}

IC外围应用设计

6 HV脚(仅限SFL980/SFL985)设计

HV脚为高压启动脚，在设计时要注意以下几点：

- ◆ 启动时整流后的高压可直接通过IC内部高压恒流源给VCC电容快速充电，启动结束后内部高压启动管维持35ms后才关闭
- ◆ 为防止启动时电压/电流对HV脚有较大的过冲，建议在输入整流桥后与HV脚之间接一个10K~30K的电阻

7 Rocp(仅限SFL985)脚设计

Rocp脚为OCP外部编程脚，在设计时要注意以下几点：

- ◆ Rocp脚用来设置CS脚电压限制峰值，即过电流点。通过调整此过电流点，可以防止环路异常引起电感电流无限制增加而造成功率器件损坏
- ◆ Rocp脚的设置不同分别对应三个不同等级的CS峰值限制；对此脚悬空时，对应的CS峰值限制为1.9V；此脚接地时，对应的CS峰值限制为1.4V；此脚对地接150K Ω 电阻时，对应的CS峰值限制为1.65V

IC外围应用设计

8

DEM (仅限SFL900B) 或FB (仅限SFL950/980/985) 脚设计

DEM/FB脚是消磁检测脚，在设计时要注意以下几点：

- ◆ 此脚为消磁检测脚，GATE关闭3us后，IC内部检测此脚电压低于0.1V时，则判断消磁结束，IC内部将GATE输出置高
- ◆ 此脚也可检测LED开路，当GATE关闭3us后，IC内部检测此脚电压连续3个开关周期都高于内部基准3.2V (SFL900/900B) 或3V (SFL950/980/985)时，IC就会认为输出处于开路状态，关闭系统，等待VCC重起
- ◆ 此脚也可检测LED短路，当GATE关闭3us后，IC内部检测此脚电压持续40ms (IC内部设定时间) 都低于内部基准0.45V并时，IC就会认为输出处于短路状态，关闭系统，等待VCC重起
- ◆ 以第3页典型电路图为例，建议满足下面公式（建议R13取值在10KΩ至50KΩ之间）

$$5.5 \leq \frac{R15}{R13} \leq 6.5$$

IC外围应用设计

9

MULT (仅限SFL900B) 脚设计

MULT脚为乘法器输入脚，在设计时要注意以下几点：

- ◆ 此脚用来采样AC正弦波电压值，通过内部乘法器计算来限制开关管的峰值电流
- ◆ MULT脚电压值建议在输入AC最大的情况下对应的正弦波谷顶采样电压 $\leq 3V$ ，输入AC最小的情况下对应的正弦波谷顶采样电压 $\geq 0.5V$ ，以第3页典型电路图为例，输入范围（90VAC~264VAC）则可建议

$$125 \leq \frac{R8 + R9}{R10} \leq 250$$

- ◆ 为防止采样信号受到干扰，建议在此脚对地接1个2.2nF以下的电容。电容过大会降低系统PF值

系统应用设计

1 恒流原理

假设恒定输出电流 I_o ，已知变压器匝数比 n ，则有对于单个周期输出电流 I_{os} ，根据三角波的面积公式可得知

$$I_{os} = \frac{1}{2} * I_{sp} * \frac{T_{dem}}{T} = \frac{1}{2} * I_{sp} * D_{dem} \quad (1)$$

有变压器安匝数可得

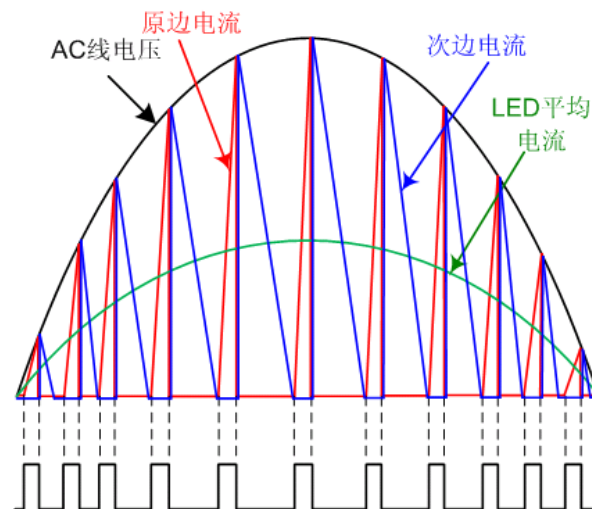
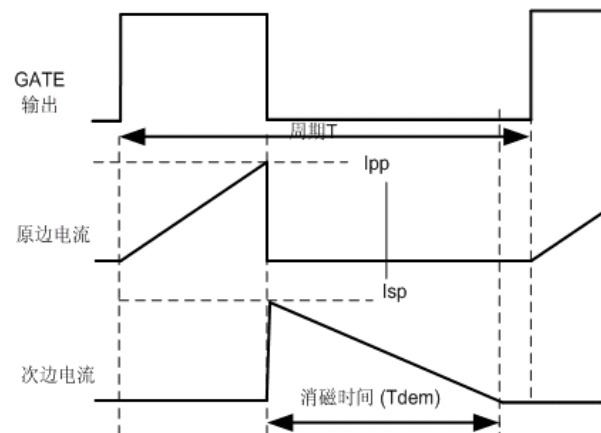
$$I_{sp} = I_{pp} * n \quad (2)$$

由于 R_{cs} 在不断采样变压器原边电流峰值，则有

$$I_{pp} = \frac{V_{cs}}{R_{cs}} \quad (3)$$

由于此系统是有源功率因数校正电路，为了提高PF值，须使得输入平均电流近似成正弦波跟随 AC输入电压，即单个周期的平均电流呈正弦函数，对于单个正弦波周期有输出平均电流 I_o 。

$$I_o = \int_0^t I_{os}(t) dt \quad (4)$$



系统应用设计

把公式(1), (2), (3)代入公式(4)中, 可有

$$I_o = \int_0^t \frac{1}{2} * \frac{V_{cs}(t)dt}{R_{cs}} * n * D_{dem}(t)dt \quad (5)$$

由于 R_{cs} 和 n 是定值, 则可简化为

$$I_o = \frac{n}{2 * R_{cs}} \int_0^t [V_{cs}(t) * D_{dem}(t)]dt \quad (6)$$

芯片内部对CS脚峰值电压采样并保持, 通过内置的恒流误差放大器将CS峰值采样电压与参考电压(内部为400mV)进行比较放大, 然后通过外置COMP电容滤掉工频以上频率成分, 实现了闭环恒流控制。即有

$$\int_0^t [V_{cs}(t) * D_{dem}(t)]d(t) = 400mV \quad (7)$$

故有

$$I_o = \frac{n}{2 * R_{cs}} * 0.4 = \frac{0.2}{R_{cs}} * n \quad (8)$$

系统应用设计

2 变压器设计

假设最低输入交流电压 V_{in_min} ，最高输入交流电压 V_{in_max} ，输出电压 V_o ，输出电流 I_o ，效率 η ，为了设计方便，假设系统PF值为1，则有

根据选取的功率器件耐压等级确定变压器匝数比，若已选取MOS管 V_{ds} 最高电压为 V_{ds_max} ，输出整流二极管最大反向耐压为 V_{d_max} ，并假设漏感引起的谐振能量对初级MOS的谐振幅度最大为80V，对次级二极管的谐振幅度最大为30V，二极管正向导通压降为1V，为保证系统可靠，设计时功率器件耐压等级需保留10%余量，则有

► 变压器初次级匝比 n

$$V_{in_max} * \sqrt{2} + (V_o + 1) * n + 80 < 0.9 * V_{ds_max} \quad (9)$$

$$\frac{V_{in_max} * \sqrt{2}}{n} + V_o + 30 < 0.9 * V_{d_max} \quad (10)$$

即

$$\frac{V_{in_max} * \sqrt{2}}{0.9 * V_{d_max} - 30 - V_o} < n < \frac{0.9 * V_{ds_max} - V_{in_max} * \sqrt{2} - 80}{V_o + 1} \quad (11)$$

系统应用设计

- 最低输入交流电压正弦波谷顶处占空比D

$$D = \frac{(V_o + 1) * n}{\sqrt{2} * V_{in_min} + (V_o + 1) * n} \quad (12)$$

- 输入功率 P_{in}

$$P_{in} = \frac{V_o * I_o}{\eta} \quad (13)$$

- 最大输入交流电流 I_{in_max} 发生在最低输入交流电压处，则有

$$I_{in_max} = \frac{P_{in}}{V_{in_min}} \quad (14)$$

- 最大输入交流电流峰值

$$I_{in_max_pk} = \sqrt{2} * \frac{P_{in}}{V_{in_min}} \quad (15)$$

系统应用设计

- 由于系统是有源功率因数校正电路，故输入交流电流近似等于变压器初级电流。而工频周期内初级平均电流呈现为正弦波，则有输入交流电流峰值可近似等于正弦波谷顶处初级单个周期的平均电流值 I_{p_avg}

$$I_{in_max_pk} = I_{p_avg} \quad (16)$$

- 由于变压器初级电流波形单个开关周期呈现三角波，则有

$$I_{p_avg} = \frac{1}{2} * I_p * D \quad (17)$$

I_p 为谷顶处初级电流峰值，通过公式(12)至公式(17)，可以得出

$$I_p = \frac{2\sqrt{2} * V_o * I_o}{\eta * V_{in_min} * D} \quad (18)$$

- 假设最低输入交流电压时谷顶处的开关频率为 f_s ，则变压器初级电感量

$$L_p = \frac{\sqrt{2} * V_{in_min} * D}{I_p * f_s} \quad (19)$$

系统应用设计

- 假设变压器磁芯磁通密度为 ΔB (建议取 $0.25T \sim 0.28T$)，磁芯截面积为 A_e ，则变压器初级所需匝数 N_p

$$N_p = \frac{L_p * I_p}{\Delta B * A_e} \quad (20)$$

- 变压器次级匝数 N_s

$$N_s = \frac{N_p}{n} \quad (21)$$

- 假设正常输出时，VCC供电辅助绕组两端正向电压为 V_f (建议在 $15V \sim 20V$)，则变压器辅助绕组匝数 N_f

$$N_f = \frac{V_f * N_s}{V_o + 1} \quad (22)$$

- 变压器线径的选取

- 初级线径

$$D_p = 1.13 * \sqrt{\frac{I_o}{n * J}} \quad (23)$$

- 次级线径

$$D_s = 1.13 * \sqrt{\frac{I_o}{J}} \quad (24)$$

J为电流密度(建议取 $5 \sim 7A/mm^2$)

系统应用设计

3

PCB LAYOUT设计

- ◆ **CS**采样电阻要靠近**IC**采样脚，同时采样路径要尽可能的短
- ◆ **COMP**补偿电容尽可能靠近**IC**脚，补偿回路走线越短越好
- ◆ **FB**消磁检测分压电阻尽可能靠近**IC**采样脚
- ◆ 主功率回路路径要尽可能短，**VCC**电容越靠近**IC**越好
- ◆ 芯片**GND**应与变压器地线、主功率回路地线分开连接到输入滤波电容的地

系统应用设计

4

其它设计

- ◆ 输出滤波电容在选用时，除了考虑耐压之外，还要考虑输出电流的纹波要求；若要求输出电流纹波小，则需要的高频低阻电容越大
- ◆ 由于此系统为有源功率因数校正控制，故输入滤波电容容量较小。一般选取68nF~220nF之间（根据输出功率确定）
- ◆ 此系统输出有开路保护，为防止输出开路电压瞬间过冲太高，可在输出端并联一较大电阻，比如30K Ω ~100K Ω
- ◆ 由于此系统属于反激架构，在开关管关断时刻变压器漏感、MOS结电容以及PCB走线中的寄生参数等会引起谐振，为了防止谐振能量损坏功率器件，建议在MOS漏级上方接RCD到输入正极，在输出二极管阳极和阴极之间接RC滤波，建议MOS的谐振幅度控制在80V以内，二极管的谐振幅度控制在30V以内

设计实例

系统输入输出规格参数:

- 输入电压: 90VAC~264VAC
- 输出电压: $V_o=42V$
- 输出电流: $I_o=0.5A$
- 最低频率: $F_s=40KHz$
- 预估效率: $\eta=0.85$
- 电流密度: $5A/mm^2$
- MOS管 V_{ds_max} : 600V
- 二极管 V_{d_max} : 300V
- 磁芯参数: 型号ER25、材质PC40、磁芯截面积 $A_e=52.8mm^2$ 、 $\Delta B=0.25T$ (高温 $100^\circ C$ 时最大磁通密度 $\Delta B_{max}=0.39T$)

➤ 计算变压器匝比

$$\frac{V_{in_max} * \sqrt{2}}{0.9 * V_{d_max} - 30 - V_o} < n < \frac{0.9 * V_{ds_max} - V_{in_max} * \sqrt{2} - 80}{V_o + 1} \Rightarrow$$

$$\frac{264 * \sqrt{2}}{0.9 * 300 - 30 - 42} < n < \frac{0.9 * 600 - 264 * \sqrt{2} - 80}{42 + 1} \Rightarrow 1.88 < n < 2.02$$

匝比取 $n=2$

设计实例

- 计算所需要的Rcs电阻阻值

$$I_o = \frac{0.2}{R_{cs}} * n \Rightarrow R_{cs} = \frac{0.2}{I_o} * n = \frac{0.2}{0.5} * 2 = 0.8\Omega$$

- 计算最低交流输入电压谷顶处的占空比D

$$D = \frac{(V_o + 1) * n}{\sqrt{2} * V_{in_min} + (V_o + 1) * n} = \frac{(42 + 1) * 2}{90 * \sqrt{2} + (42 + 1) * 2} = 0.4$$

- 最低交流输入电压谷顶处的初级电流峰值Ip

$$I_{p_max} = \frac{2\sqrt{2} * V_o * I_o}{D * V_{in_min} * \eta} = \frac{2 * \sqrt{2} * 42 * 0.5}{0.4 * 90 * 0.85} = 1.94A$$

- 系统最低频率发生在最低交流输入电压谷顶处，则变压器初级电感量

$$L_p = \frac{\sqrt{2} * V_{in_min} * D}{I_p * f_s} = \frac{\sqrt{2} * 90 * 0.4}{1.94 * 40} = 0.65mH$$

设计实例

➤ 变压器初级匝数

$$N_p = \frac{L_p * I_p}{\Delta B * A_e} = \frac{0.65 * 10^{-3} * 1.94}{0.25 * 52.8 * 10^{-6}} = 96T_s$$

➤ 变压器次级匝数

$$N_s = \frac{N_p}{n} = \frac{96}{2} = 48T_s$$

➤ 假设VCC辅助绕组两端正向电压为16V，则变压器辅助绕组匝数

$$N_f = \frac{V_f * N_s}{V_o + 1} = \frac{16 * 48}{42 + 1} = 18T_s$$

➤ 变压器线径的选取

• 初级线径 $D_p = 1.13 * \sqrt{\frac{I_o}{n * J}} = 1.13 * \sqrt{\frac{0.5}{2 * 5}} = 0.25\text{mm}$

• 次级线径 $D_s = 1.13 * \sqrt{\frac{I_o}{J}} = 1.13 * \sqrt{\frac{0.5}{5}} = 0.36\text{mm}$

即变压器初级可选取外径为0.3mm的漆包线绕104匝，刚好绕满3层，次级可选取外径为0.4mm的三重绝缘线绕52匝，刚好绕满2层

联系我们

赛威科技网站: www.sifirsttech.com

销售和FAE: sales@sifirsttech.com

赛威科技深圳商务中心: 深圳市南山区科技园高新南一道
创维大厦C座802室

Tel: 0755-26942291

Fax: 0755-26942403

我们竭诚为您提供最优质的服务!

The logo for SiFirst, featuring a stylized 'SF' icon followed by the text 'SiFirst' in a bold, sans-serif font.



SiFirst

Be The

Thank You !