

The background features a blue-toned circuit board with glowing traces and components. In the upper left, there is a large, semi-transparent SiFirst logo consisting of a stylized 'SF' symbol and the text 'SiFirst'.

SiFirst

Be The

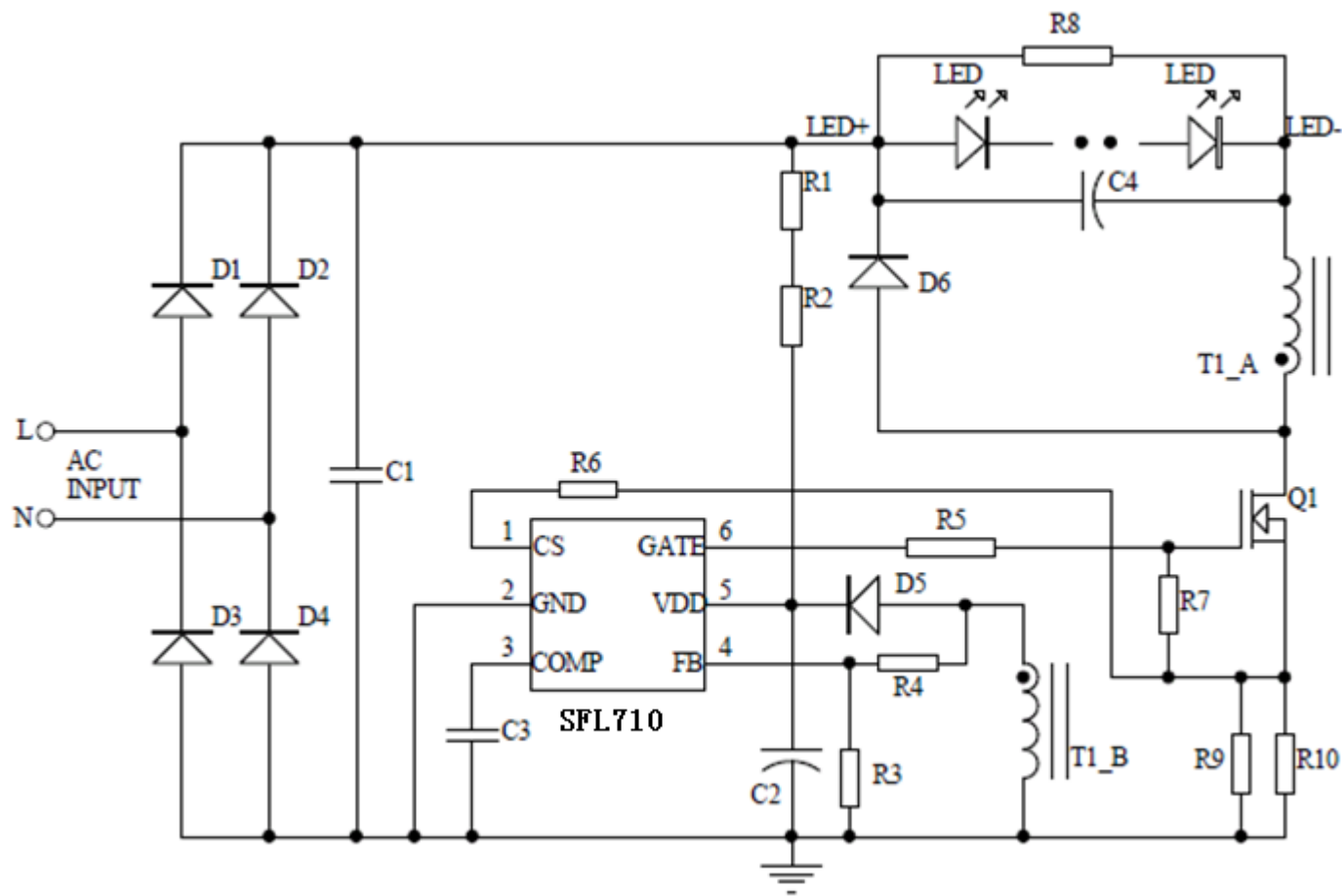
SFL7XX系列设计指南

2015.09 V1.3

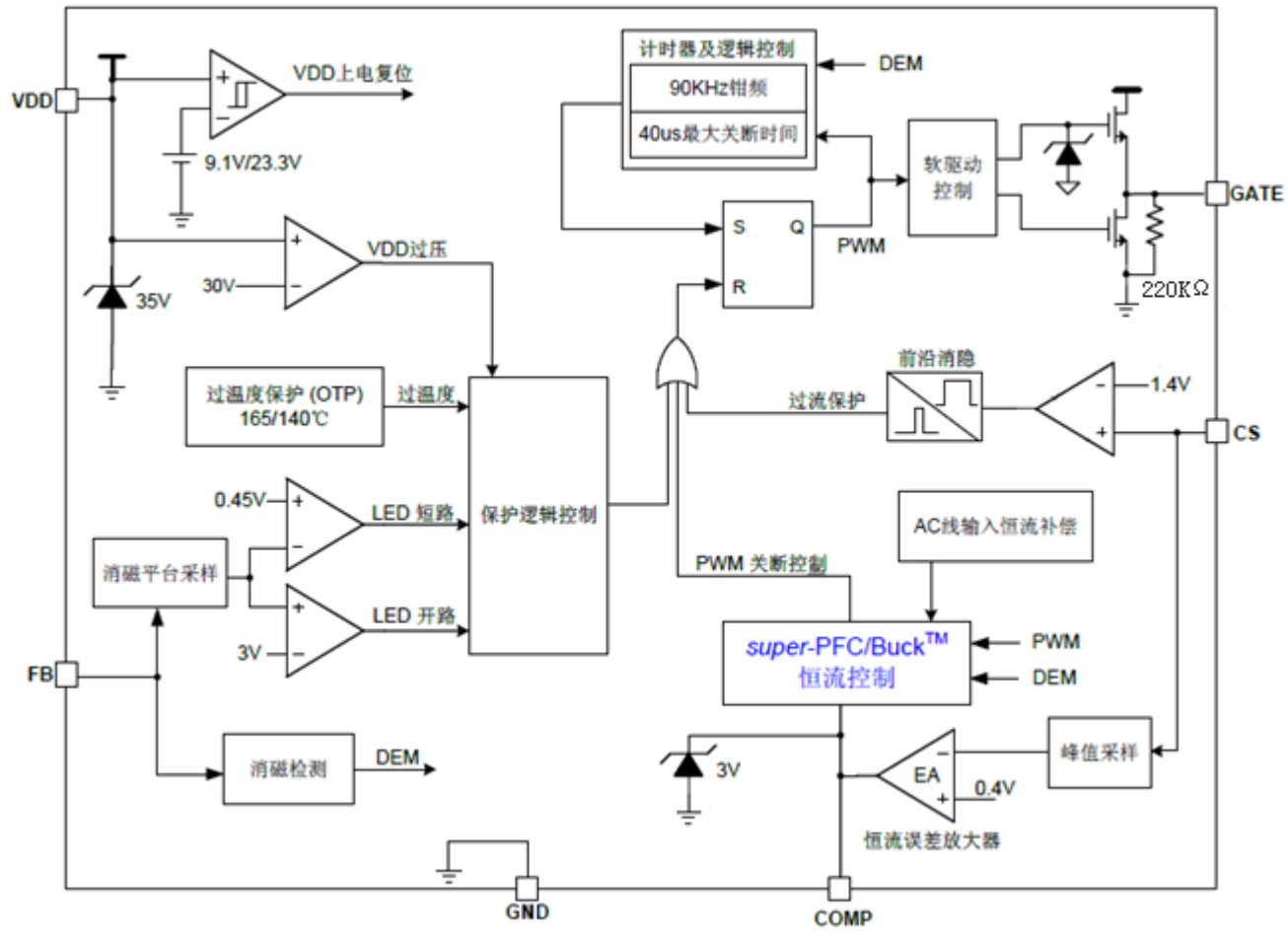
SFL7XX系列产品使用规格及差异说明

芯片型号	封装	驱动方式	HV启动	过温保护	开路保护	全电压输出功率	应用领域
SFL710	SOT23-6	外置		√	√	≤36W	LED照明
SFL717	SOP8	内置		√	√	≤12W	
SFL718	SOP8	外置		√	√	≤18W	

典型应用电路图



芯片内部功能模块



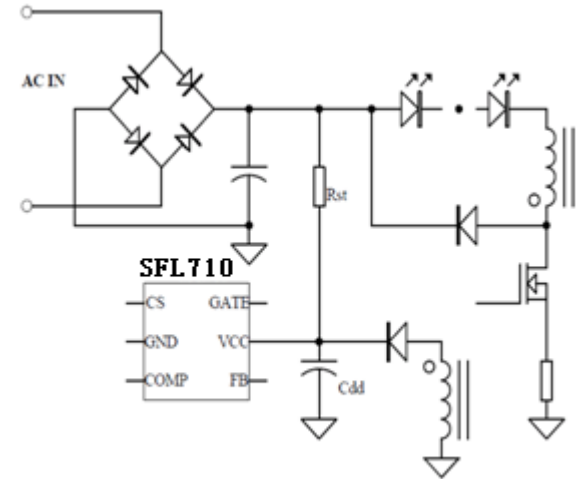
SFL710内部功能模块图

IC外围应用设计

1 VCC脚设计

VCC脚是IC供电脚，在设计时要注意以下几点：

- ◆ Rst为启动之前给Cdd充电电阻，取值越小，启动延迟时间越短；阻值建议取1M到2M，阻值过小会增加损耗
- ◆ Cdd为VCC电容，它起到滤波和储能两个作用。一般取10uF ~ 47uF即可，取值越大，启动时间越长；取值不能过小，否则启动易发生UVLO保护
- ◆ 当VCC电压达到 $UVLO_{(ON)}$ 时，系统开始工作；当VCC电压下降到 $UVLO_{(OFF)}$ 时，系统停止工作；VCC电压达到过压保护点VCC_OVP时，芯片立即关闭输出，芯片内部VCC最高电压钳位为VCC_Clamp。以SFL710为例， $UVLO_{(ON)}$ 为23.3V， $UVLO_{(OFF)}$ 为9V，VCC_OVP为30V，VCC_Clamp为35V。满载工作时，建议把VCC电压设定在16V左右
- ◆ 芯片启动后，VCC由变压器辅助绕组供电，系统损耗小，可实现较宽的输出电压变化范围



IC外围应用设计

2 FB脚设计

DEM/FB脚是消磁检测脚，在设计时要注意以下几点：

- ◆ 此脚为消磁检测脚，GATE关闭3us后，IC内部检测此脚电压低于0.1V时，则判断消磁结束，IC内部将GATE输出置高
- ◆ 此脚也可检测LED开路，当GATE关闭3us后，IC内部检测此脚电压连续3个开关周期都高于内部基准3V并时，IC就会认为输出处于开路状态，关闭系统，等待VCC重起
- ◆ 此脚也可检测LED短路，当GATE关闭3us后，IC内部检测此脚电压持续40ms（IC内部设定时间）都低于内部基准0.45V并时，IC就会认为输出处于短路状态，关闭系统，等待VCC重起
- ◆ 以第3页典型电路图为例，建议满足下面公式（建议R3取值在10KΩ至50KΩ之间）

$$5.5 \leq \frac{R4}{R3} \leq 6.5$$

IC外围应用设计

3

COMP脚设计

COMP脚为误差放大器输出端，在设计时要注意以下几点：

- ◆ COMP脚为内部误差放大器输出端，通过外接电容器到FB脚作补偿
- ◆ 电容值一般可取470nF~2.2uF，电容越大系统功率因数（PF）越高、动态响应越慢

4

GATE脚设计

GATE脚为IC驱动输出脚，在设计时要注意以下几点：

- ◆ IC内置带有软驱动来减弱功率MOS的开启应力，使得电源系统具有良好的EMI特性。IC内部GATE钳位电压为16V，防止对外部功率MOS产生破坏
- ◆ 为了获得更好的EMI，建议MOS的栅级与IC驱动输出脚加个几十到一百欧姆的电阻

IC外围应用设计

5

CS脚设计

CS脚为峰值电流采样脚，在设计时要注意以下几点：

- ◆ 芯片对CS脚进行峰值电流采样并保持，用于闭环控制输出LED恒流，典型输出电流 I_o 计算公式如下：

$$I_o = \frac{0.2}{R_{cs}}$$

R_{cs} 为原边电流采样电阻

- ◆ 若输出电流值已经确定，同样可以根据上述公式求出需要的采样电阻值(R_{cs})
- ◆ 为防止MOS开启时振铃能量对CS采样的影响，建议CS脚串联1个100R~1K电阻接 R_{cs}

IC外围应用设计

6

HV脚(仅限SFL750/SFL755/SFL760/SFL770/SFL780)设计

HV脚为高压启动脚，在设计时要注意以下几点：

- ◆ 启动时整流后的高压可直接通过IC内部高压恒流源给VCC电容快速充电，启动结束后内部高压启动管维持35ms后才关闭
- ◆ 为防止启动时电压/电流对HV脚有较大的过冲，建议在输入整流桥后与HV脚之间接一个10K~30K的电阻

7

Rocp(仅限SFL755)脚设计

Rocp脚为OCP外部编程脚，在设计时要注意以下几点：

- ◆ Rocp脚用来设置CS脚电压限制峰值，即过电流点。通过调整此过电流点，可以防止环路异常引起电感电流无限制增加而造成功率器件损坏
- ◆ Rocp脚的设置不同分别对应三个不同等级的CS峰值限制；对此脚悬空时，对应的CS峰值限制为1.4V；此脚接地时，对应的CS峰值限制为1.0V；此脚对地接150K Ω 电阻时，对应的CS峰值限制为1.2V

系统应用设计

1 恒流原理

假设恒定输出电流 I_o ，对于单个周期输出电流 I_{os} ，根据三角波的面积公式可得知

$$I_{os} = \frac{1}{2} * I_{pk} * \frac{T_{on} + T_{dem}}{T} = \frac{1}{2} * I_{pk} * DT \quad (1)$$

由于 R_{cs} 在不断采样电感电流峰值，则有

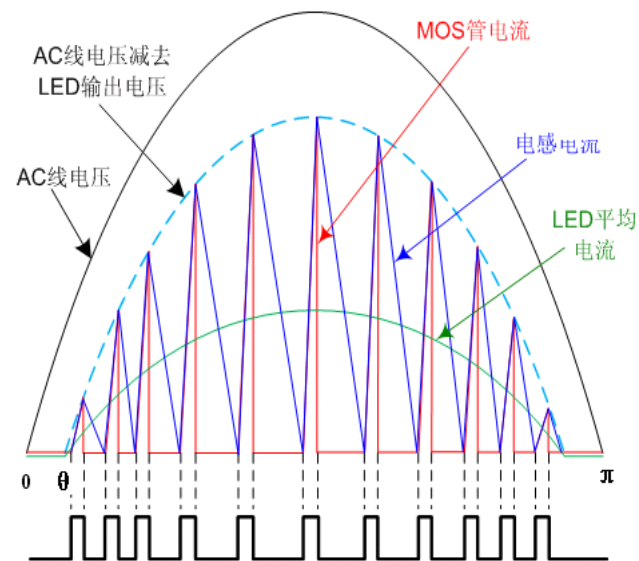
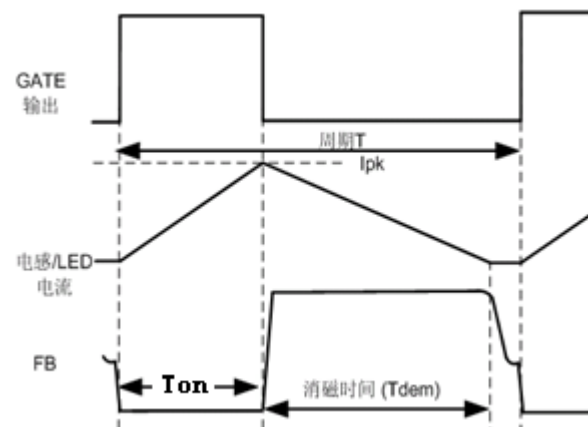
$$I_{pk} = \frac{V_{cs}}{R_{cs}} \quad (2)$$

芯片内部对CS脚峰值电压采样并保持，通过内置的恒流误差放大器将CS峰值采样电压与参考电压（内部为400mV）进行比较放大，然后通过外置COMP电容滤掉工频以上频率成分，实现了闭环恒流控制。则有

$$\int_0^t [V_{cs}(t) * DT(t)] dt = 400mV \quad (3)$$

由于 R_{cs} 是常量，即输出电流 I_o 为

$$I_o = \int_0^t I_{os}(t) dt = \int_0^t \frac{1}{2} * \frac{[V_{cs}(t) * DT(t)] dt}{R_{cs}} = \frac{0.2}{R_{cs}} \quad (4)$$



系统应用设计

2 输出电感设计

假设最低输入交流电压 V_{in_min} ，最高输入交流电压 V_{in_max} ，输出电压 V_o ，输出电流 I_o ，效率 η ，为了设计方便，假设系统PF值为1，则有

- 输出功率

$$P_o = V_o * I_o \quad (5)$$

- 输入功率

$$P_{in} = \frac{P_o}{\eta} \quad (6)$$

- 最大输入电流发生在最低输入交流电压时，则有

$$I_{in_max} = \frac{P_{in}}{V_{in_min}} \quad (7)$$

- 由于该系统属于BUCK降压有源功率因数校正电路，故在输入线电压比输出电压低时，系统无法从输入端获得能量，致使此阶段输入电流波形不能跟随电压波形。假设输入线电压刚好等于输出电压时，此时对应的正弦波弧度为 θ ，则有

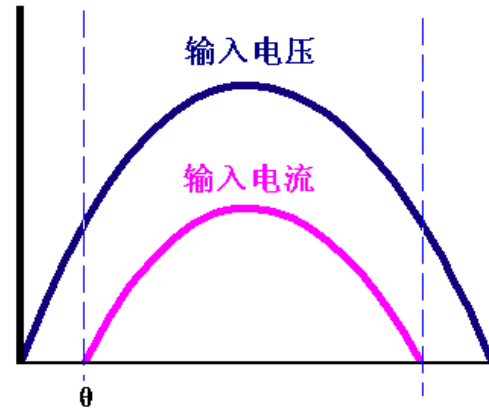
系统应用设计

- 在最低输入交流电压时其对应的弧度 θ

$$\sqrt{2} * V_{in_min} * \sin \theta = V_o \Rightarrow \theta = \arcsin\left(\frac{V_o}{\sqrt{2} * V_{in_min}}\right) \quad (8)$$

- 由于此系统是有源功率因数校正电路，则输入电流波形跟随输入电压波形，且呈现为正弦波，已知最大输入电流有效值 I_{in_max} 则可得出最大输入交流电流的峰值

$$I_{in_max_pk} = \frac{I_{in_max}}{\sqrt{\frac{\pi - 2 * \theta}{2\pi}}} \quad (9)$$



- 由于系统近似临界模式，故根据伏秒平衡，可得最低输入交流电压谷顶处的占空比

$$(\sqrt{2} * V_{in_min} - V_o) * D = V_o * (1 - D) \Rightarrow D = \frac{V_o}{\sqrt{2} * V_{in_min}} \quad (10)$$

- 由于系统是BUCK降压有源功率因数校正电路，故输入交流电流近似等于MOS管电流。而工频周期内MOS管平均电流呈现为正弦波，则有输入交流电流的峰值可近似等于MOS管电流波形谷顶处单个周期的平均电流 I_{mos_avg} ，而单个周期MOS管电流波形呈现三角波，且单个周期内MOS管的电流峰值等于输出电感电流峰值 I_{L_pk} ，则根据面积法可有

系统应用设计

$$I_{in_max_pk} = I_{mos_avg} = \frac{1}{2} * I_{L_pk} * D \quad (11)$$

把公式（4）至公式（10）代入到公式（11）中，简化后可得

$$I_{L_pk} = \frac{2 * \sqrt{2} * I_o}{\eta * \sqrt{\frac{\pi - 2 \arcsin\left(\frac{V_o}{\sqrt{2} * V_{in_min}}\right)}{2 * \pi}}} \quad (12)$$

➤ 假设最低输入交流电压谷顶处的开关频率为 f_s ，则输出电感值为

$$L = \frac{(\sqrt{2} * V_{in_min} - V_o) * D}{I_{L_pk} * f_s} \quad (13)$$

系统应用设计

- 假设电感磁芯磁通密度为 ΔB (建议取 $0.25T \sim 0.28T$)，磁芯截面积为 A_e ，则输出电感所需匝数 N_p

$$N_p = \frac{L * I_{L_pk}}{\Delta B * A_e} \quad (14)$$

- 假设正常输出时，VCC供电辅助绕组两端正向电压为 V_f (建议在 $15V \sim 20V$)，续流二极管正向导通压降为 $1V$ ，则电感辅助绕组匝数 N_f

$$N_f = \frac{V_f * N_p}{V_o + 1} \quad (15)$$

- 电感线径的选取

$$D_p = 1.13 * \sqrt{\frac{I_o}{J}} \quad (16)$$

J 为电流密度 (建议取 $5 \sim 7A/mm^2$)

系统应用设计

3

PCB LAYOUT设计

- ◆ **CS**采样电阻要靠近**IC**采样脚，同时采样路径要尽可能的短
- ◆ **COMP**补偿电容尽可能靠近**IC**脚，补偿回路走线越短越好
- ◆ **FB**消磁检测分压电阻尽可能靠近**IC**采样脚
- ◆ 主功率回路路径要尽可能短，**VCC**电容越靠近**IC**越好
- ◆ 芯片**GND**应与变压器地线、主功率回路地线分开连接到输入滤波电容的地

系统应用设计

4

其它设计

- ◆ 输出滤波电容在选用时，除了考虑耐压之外，还要考虑输出电流的纹波要求；若要求输出电流纹波小，则需要的高频低阻电容越大
- ◆ 由于此系统为有源功率因数校正控制，故输入滤波电容容量较小。一般选取68nF~220nF之间（根据输出功率确定）
- ◆ 此系统输出有开路保护，为防止输出开路电压瞬间过冲太高，可在输出端并联一较大电阻，比如30K Ω ~100K Ω
- ◆ 由于此系统属于BUCK降压架构，故MOS管V_{ds}最高耐压近似等于输入最大交流电压的峰值，续流二极管最高反向电压也近似等同于输入最大交流电压的峰值，以输入电压90VAC~264VAC为例，为防止开机时电压尖峰过冲，建议MOS管和二极管选取500V以上耐压；MOS管的电流峰值等于电感电流峰值，也等同于续流二极管的电流峰值

设计实例

系统输入输出规格参数:

- 输入电压: 90VAC~264VAC
- 输出电压: $V_o=80V$
- 输出电流: $I_o=0.2A$
- 最低频率: $F_s=40KHz$
- 预估效率: $\eta=0.9$
- 电流密度: $5A/mm^2$
- 磁芯参数: 型号EPC13、材质PC40、磁芯截面积 $A_e=12.5mm^2$ 、 $\Delta B=0.25T$ (高温 $100^\circ C$ 时最大磁通密度 $\Delta B_{max}=0.39T$)

➤ 计算所需要的 R_{cs} 电阻阻值

$$I_o = \frac{0.2}{R_{cs}} \Rightarrow R_{cs} = \frac{0.2}{I_o} = \frac{0.2}{0.2} = 1\Omega$$

➤ 最低输入交流电压谷顶处的占空比

$$D = \frac{V_o}{\sqrt{2} * V_{in_min}} = \frac{80}{\sqrt{2} * 90} = 0.63$$

设计实例

- 计算最低输入交流电压时电感最大峰值电流

$$\begin{aligned} I_{L_pk} &= \frac{2 * \sqrt{2} * I_o}{\eta * \sqrt{\frac{\pi - 2 \arcsin\left(\frac{V_o}{\sqrt{2} * V_{in_min}}\right)}{2 * \pi}}} \\ &= \frac{2 * \sqrt{2} * 0.2}{0.9 * \sqrt{\frac{3.14 - 2 * \arcsin\left(\frac{80}{\sqrt{2} * 90}\right)}{2 * 3.14}}} = 1.18A \end{aligned}$$

- 系统最低频率发生在最低输入交流电压谷顶处，则所需电感量为

$$L = \frac{(\sqrt{2} * V_{in_min} - V_o) * D}{I_{L_pk} * f_s} = \frac{(\sqrt{2} * 90 - 80) * 0.63}{1.18 * 40} = 0.63mH$$

设计实例

➤ 输出电感匝数

$$N_p = \frac{L * I_{L_pk}}{\Delta B * A_e} = \frac{1.18 * 0.63 * 10^{-3}}{0.25 * 12.5 * 10^{-6}} = 238T_s$$

➤ 假设VCC辅助绕组两端正向电压为16V，则输出电感辅助绕组匝数

$$N_f = \frac{V_f * N_p}{V_o + 1} = \frac{16 * 238}{80 + 1} = 47T_s$$

➤ 电感线径的选取

$$D_p = 1.13 * \sqrt{\frac{I_o}{J}} = 1.13 * \sqrt{\frac{0.2}{5}} = 0.23mm$$

即电感可选取外径为0.25mm的漆包线绕243匝，刚好绕满9层

联系我们

赛威科技网站: www.sifirsttech.com

销售和FAE: sales@sifirsttech.com

赛威科技深圳商务中心: 深圳市南山区科技园高新南一道
创维大厦C座802室

Tel: 0755-26942291

Fax: 0755-26942403

我们竭诚为您提供最优质的服务!

The logo for SiFirst, featuring a stylized 'SF' icon followed by the text 'SiFirst' in a bold, sans-serif font.



SiFirst

Be The

Thank You !